

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-233727

(43)Date of publication of application : 27.08.1999

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 21/76

(21)Application number : 10-308896

(71)Applicant : KOREA ELECTRONICS
TELECOMMUN

(22)Date of filing : 29.10.1998

(72)Inventor : LEE KOSHU
LEE JIN-HYO
RYU KENKEI
KIN FUYU
NAM KI-SU

(30)Priority

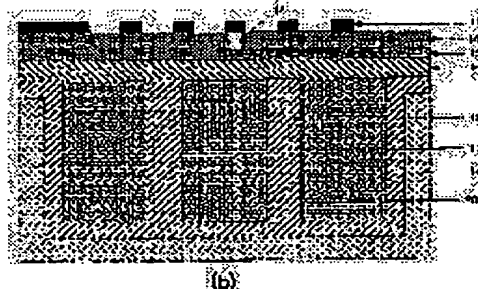
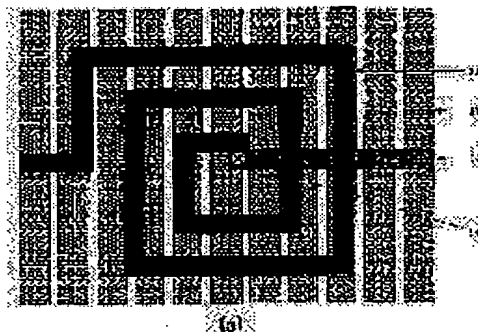
Priority number : 97 9775366 Priority date : 27.12.1997 Priority country : KR

(54) INDUCTOR ON SILICON SUBSTRATE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To improve characteristics and cost performance of a silicon MMIC (monolithic microwave integrated circuit) by simultaneously integrating a passive element to a silicon substrate.

SOLUTION: This inductor comprises two or more trenches 17 arranged on a silicon substrate 13 located at the lower end part of an inductor metal wire, insulating film 18 surrounding the trenches 17, non-impurity doped polycrystalline silicon area 20 filling the inside of the trenches surrounded by insulating film, insulating film 15 evaporated to the upper part of polycrystalline silicon and the entire part of substrate, a first metal line 12 of inductor formed to the predetermined area at the upper part of the insulating film, an insulating film 16 evaporated to the entire part of the first metal line and substrate, via holes 14 formed to the predetermined areas of the upper part of the first metal line through the predetermined area of the insulating film and a second metal line 11 coupled with the first metal line 12 and is arranged on the entire surface of the substrate.



LEGAL STATUS

[Date of request for examination] 29.10.1998

[Date of sending the examiner's decision of rejection] 08.11.2000

(51) Int.Cl.⁸

識別記号

F I

H 0 1 L 27/04
21/822
21/76H 0 1 L 27/04
21/76L
L

審査請求 有 請求項の数26 O L (全 8 頁)

(21) 出願番号 特願平10-308896

(22) 出願日 平成10年(1998)10月29日

(31) 優先権主張番号 1 9 9 7 - 7 5 3 6 6

(32) 優先日 1997年12月27日

(33) 優先権主張国 韓国 (K R)

(71) 出願人 596180076

韓国電子通信研究院

大韓民国大田廣城市儒城區柯亭洞161

(72) 発明者 李 興 洙

大韓民国大田廣城市西區▲渴▼馬洞 東山

アパートメント1棟807号

(72) 発明者 李 振 孝

大韓民国大田廣城市西區屯山洞 木蓮アパ

ートメント302棟903号

(72) 発明者 劉 賢 奎

大韓民国大田廣城市儒城區漁恩洞99番地

(74) 代理人 弁理士 萩野 平 (外3名)

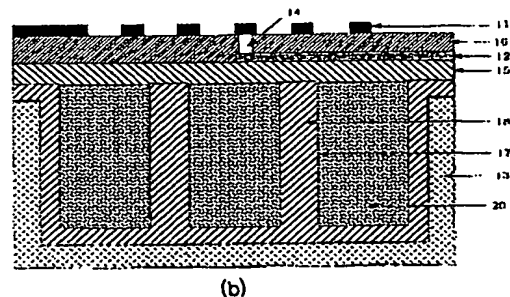
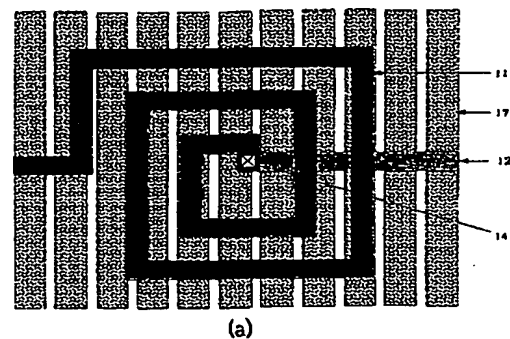
最終頁に続く

(54) 【発明の名称】 シリコン基板上のインダクタ装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 受動素子をシリコン基板上に同時に集積してシリコンMMICの特性及び経済性を改善する。

【解決手段】 インダクタ金属線の下端部分に位置しているシリコン基板13に配列された2個以上のトレンチ17と、前記トレンチを囲んでいる絶縁膜と、前記絶縁膜で囲まれている前記トレンチの内部に充填された不純物がドーピングされていない多結晶シリコン領域20と、前記多結晶シリコンの上部及び基板の全面に蒸着された絶縁膜15と、前記絶縁膜上部の所定の部分に形成されたインダクタの第1金属線12と、前記第1金属線及び基板の全面に蒸着された絶縁膜16と、前記絶縁膜の所定の部分を貫通し、第1金属線上部の所定の部分に形成されたビアホール14と、前記ビアホールを埋め込んで前記第1金属線12と連結し、基板の全面に配列される第2金属線11とを含んでなることを特徴とする。



1

【特許請求の範囲】

【請求項 1】 インダクタ金属線の下端に位置するシリコン基板上に配列された 2 個以上のトレンチと、前記トレンチを囲んでいる絶縁膜と、前記絶縁膜で囲まれている前記トレンチの内部に充填された不純物がドーブされていない多結晶シリコン領域と、

前記多結晶シリコンの上部及び基板の全面に蒸着された絶縁膜と、

前記絶縁膜上の所定の部分に形成されたインダクタの第 1 金属線と、

前記第 1 金属線及び基板の全面に蒸着された絶縁膜と、前記絶縁膜の所定の部分を貫通し、第 1 金属線上部の所定の部分に形成されたビアホールと、

前記ビアホールを埋め込んで前記第 1 金属線と連結し、基板の全面に配列される第 2 金属線とを含んで構成されることを特徴とするシリコン基板上のインダクタ装置。

【請求項 2】 前記トレンチはトレンチとトレンチとの間がトレンチの長さより狭い形で配列された構造であることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 3】 前記トレンチはトレンチの幅に比べてその深さが深い形で配列された構造であることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 4】 前記トレンチはトレンチとトレンチとの間の壁が絶縁膜構造であることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 5】 前記トレンチは、その長さがインダクタ金属線の下部に配列されたトレンチの幅より長く、その上部の第 1 及び第 2 金属線からなるインダクタの平面の長さより長い形で配列された構造であることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 6】 前記トレンチは、インダクタ金属線の下部に配列されたトレンチの縦及び横の長さがほぼ同一の形及び円形の構造であることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 7】 前記トレンチはインダクタ金属線部分がインダクタ金属線の下部に配列されたトレンチと直交する形の構造であることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 8】 前記トレンチはインダクタ金属線の下部に配列されたトレンチが長方形の構造であることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 9】 前記トレンチが形成されたトレンチ基板はボンディングパッド及び高周波信号連結配線の形成用に用いられることを特徴とする請求項 1 乃至 8 の何れか一項に記載のシリコン基板上のインダクタ装置。

【請求項 10】 前記第 2 金属線は螺旋状の構造であることを特徴とする請求項 1 記載のシリコン基板上のイン

2

ダクタ装置。

【請求項 11】 前記金属線は 3 層以上の形で構成されることを特徴とする請求項 1 記載のシリコン基板上のインダクタ装置。

【請求項 12】 シリコン基板上に第 1 絶縁膜を形成した後、前記シリコン基板内の所定の部分にマスクを用いたエッチングによって 2 つ以上のトレンチが形成されたトレンチ基板を形成し、前記トレンチ基板が露出するように第 1 絶縁膜を除去する段階と、

前記トレンチ基板に酸化処理を行って第 2 絶縁膜を形成する段階と、

前記トレンチ基板の全体構造上に不純物がドーブされていない多結晶シリコンを蒸着した後、化学的及び機械的研磨法によって前記第 2 絶縁膜の表面まで前記多結晶シリコンを研磨する段階と、

前記多結晶シリコンが埋め込まれたトレンチ基板上に第 3 絶縁膜及び金属を順次蒸着した後、マスクを用いたエッチングによって第 1 金属線を形成する段階と、

前記第 1 金属線の上部に第 4 絶縁膜を蒸着し、前記第 4 絶縁膜の所定の部分にマスクを用いたエッチングによってビアホールを形成した後、金属を蒸着し、マスクを用いたエッチングによって第 2 金属線を形成する段階とを含んでなることを特徴とするシリコン基板上のインダクタ製造方法。

【請求項 13】 前記トレンチはトレンチとトレンチとの間隔がトレンチの長さより狭い形で配列されて形成されることを特徴とする請求項 1 2 記載のシリコン基板上のインダクタ製造方法。

【請求項 14】 前記トレンチはトレンチの幅に比べてその深さが深い形で配列されて形成されることを特徴とする請求項 1 2 記載のシリコン基板上のインダクタ製造方法。

【請求項 15】 前記トレンチはトレンチとトレンチとの間の全てのシリコン壁が酸化処理によって絶縁膜に形成されることを特徴とする請求項 1 2 記載のシリコン基板上のインダクタ製造方法。

【請求項 16】 前記トレンチはその長さがインダクタ金属線の下部に配列されたトレンチの幅より長く、その上部の第 1 及び第 2 金属線からなるインダクタの平面の長さより長い形で配列されて形成されることを特徴とする請求項 1 2 記載のシリコン基板上のインダクタ製造方法。

【請求項 17】 前記トレンチはインダクタ金属線の下部に配列されたトレンチの縦及び横の長さがほぼ同一の形及び円形の構造であることを特徴とする請求項 1 2 記載のシリコン基板上のインダクタ製造方法。

【請求項 18】 前記トレンチはインダクタ金属線部分がインダクタ金属線の下部に配列されたトレンチと直交する形の構造であることを特徴する請求項 1 2 記載のシリコン基板上のインダクタ製造方法。

3

【請求項 19】 前記トレンチはインダクタ金属線の下部に配列されたトレンチが長方形の構造であることを特徴とする請求項 12 記載のシリコン基板上のインダクタ製造方法。

【請求項 20】 前記トレンチの形成されたトレンチ基板はボンディングパッド及び高周波信号連結配線の下部のシリコン基板に用いられることを特徴とする請求項 12 乃至 19 の何れか一項に記載のシリコン基板上のインダクタ製造方法。

【請求項 21】 前記第 2 金属線は螺旋状に形成されることを特徴とする請求項 12 記載のシリコン基板上のインダクタ製造方法。

【請求項 22】 前記金属線は 3 層以上の形で形成されることを特徴とする請求項 12 記載のシリコン基板上のインダクタ製造方法。

【請求項 23】 前記第 2 及び第 4 絶縁膜は 0.5 乃至 $2\mu\text{m}$ 程度に酸化されることを特徴とする請求項 12 記載のシリコン基板上のインダクタ製造方法。

【請求項 24】 前記第 3 絶縁膜は 0.2 乃至 $1\mu\text{m}$ 程度に酸化されることを特徴とする請求項 12 記載のシリコン基板上のインダクタ製造方法。

【請求項 25】 前記第 1 金属線は 0.5 乃至 $1\mu\text{m}$ 程度に蒸着されることを特徴とする請求項 12 記載のシリコン基板上のインダクタ製造方法。

【請求項 26】 前記第 2 金属線は 0.5 乃至 $5\mu\text{m}$ 程度に蒸着されることを特徴とする請求項 12 記載のシリコン基板上のインダクタ製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明はシリコン基板を用いたインダクタに係り、インダクタが位置しているシリコン基板上にトレンチを配列し、配列されたトレンチの内部に、不純物がドーピングされていない多結晶シリコンを充填してインダクタの Q (Quality factor) を向上させるためのインダクタ装置及びその製造方法に関する。

【0002】

【従来の技術】 一般に、モノリシックマイクロ波集積回路 (Monolithic Microwave IC: 以下、「MMIC」という) の設計において、インピーダンス整合のためには特にインダクタが要求される。この時、インダクタの特性はインダクタ値の大きさのみならず Q (Quality Factor) によって決定される。最近、基板にインダクタを集積するいわゆる集積型インダクタの具現が可能になるにつれて、能動素子としてのトランジスタと受動素子としてのインダクタが同一チップに集積するシリコン MMIC 制作が可能になった。ところが、このような集積型インダクタを具現する際、最も困難な問題はインダクタの特性がインダクタの位置するシリコン基板の特性によって大きく異なるということである。

【0003】 次に、図 1 及び図 3 を参照して従来のシリ

4

コン基板を用いたインダクタ装置及びその製造方法について説明する。図 1 (a) 及び図 1 (b) は従来のシリコン基板上に MMIC を制作するためのインダクタ装置の平面図及び断面図を示す。

【0004】 前記インダクタ装置を製造するために、シリコン基板 3 上に第 1 絶縁膜 5 を形成し、前記第 1 絶縁膜 5 上の所定の部分にインダクタの 1 次金属線 2 を形成し、前記 1 次金属線 2 上に第 2 絶縁膜 6 を形成し、前記第 2 絶縁膜 6 を貫通して所定の部分で 1 次金属線 2 と 2 次金属線 1 とが連結されるようにしている。インダクタの Q (Quality Factor) はインダクタの金属線とシリコン基板との間のキャパシタンスとシリコン基板の抵抗値によって大きく影響される。

【0005】 図 3 は従来のインダクタの等価回路を示す。図 3 中、インダクタの 2 次金属線 1 とシリコン基板 3 との間の絶縁膜 (6 及び 5) によるキャパシタンスは C_{ox} で、シリコン基板 3 の抵抗は R_{si} で表示される。インダクタの Q が大きくなるためには、 C_{ox} は小さく、反面 R_{si} は可能な限り大きくならなければならない。したがって、今までは絶縁膜を非常に厚くするか、あるいは高抵抗のシリコン基板を用いてきたが、絶縁膜の膜厚を数 μm ~ $10\mu\text{m}$ にすると、能動素子を同一チップに集積することが難しくなる。また、抵抗値の高いシリコン基板を使用する場合、能動素子の集積が難しくなるのみならず、工程費用の増加によって経済性が低下するという短所があった。

【0006】

【発明が解決しようとする課題】 したがって、本発明はかかる問題点を解決するためのもので、その目的はインダクタ、ボンディングパッド及び高周波信号配線の下端に位置するトレンチ基板の内部への多結晶シリコンの埋込みを容易にする製造方法を提供することにより、バイポーラトランジスタや MOS トランジスタなどの能動素子とインダクタなどの受動素子とをシリコン基板に同時に集積してシリコン MMIC の特性及び経済性の改善に供することにある。

【0007】

【課題を解決するための手段】 上記の目的を達成するために、本発明のインダクタ装置は、インダクタ金属線の下端部分に位置しているシリコン基板に配列された 2 個以上のトレンチと、前記トレンチを囲んでいる絶縁膜と、前記絶縁膜で囲まれている前記トレンチの内部に充填された不純物がドーピングされていない多結晶シリコン領域と、前記多結晶シリコンの上部及び基板の全面に蒸着された絶縁膜と、前記絶縁膜上部の所定の部分に形成されたインダクタの第 1 金属線と、前記第 1 金属線及び基板の全面に蒸着された絶縁膜と、前記絶縁膜の所定の部分を貫通し、第 1 金属線上部の所定の部分に形成されたビアホールと、前記ビアホールを埋め込んで前記第 1 金属線と連結し、基板の全面に配列される第 2 金属線とを

5

含んでなることを特徴とする。

【0008】本発明のインダクタ装置の製造方法は、シリコン基板上に第1絶縁膜を形成した後、前記シリコン基板内の所定の部分にマスクを用いたエッチングによって2個以上のトレンチが形成されたトレンチ基板を形成し、次に前記トレンチ基板が露出するように第1絶縁膜を除去する段階と、前記トレンチ基板に酸化処理を行って第2絶縁膜を形成する段階と、前記トレンチ基板の全体構造上に不純物がドーピングされていない多結晶シリコンを蒸着した後、化学的及び機械的研磨法によって前記第2絶縁膜の表面まで前記多結晶シリコンを研磨する段階と、前記多結晶シリコンが埋め込まれているトレンチ基板上に第3絶縁膜及び金属を順次蒸着し、その後マスクを用いたエッチングによって第1金属線を形成する段階と、前記第1金属線の上部に第4絶縁膜を蒸着し、前記第4絶縁膜の所定の部分にマスクを用いたエッチングによってビアホールを形成した後、金属を蒸着し、次にマスクを用いたエッチングによって第2金属線を形成する段階とを含んでなることを特徴とする。

【0009】

【発明の実施の形態】以下、添付図面を参照して本発明を詳細に説明する。図2(a)及び図2(b)はそれぞれ本発明に係るインダクタの平面図及び断面図である。

【0010】インダクタはシリコン基板13の内部に配列されたトレンチ17とトレンチ17との間の壁を酸化工程で完全に酸化させて形成された第2絶縁膜18と、前記トレンチ17の内部に充填された不純物がドーピングされていない多結晶シリコン20と、前記全体構造上に形成された第3絶縁膜15と、前記第3絶縁膜15の所定の部分に形成されたインダクタの1次金属線12と、前記全体構造上の所定の部分に形成された第4絶縁膜16と、前記1次金属線12上部の所定の部分に形成されたビアホール14と、前記第4絶縁膜16及び前記ビアホール14の所定の部分に形成された第2次金属線11とからなり、前記ビアホール14を介してインダクタの2次金属線11と連結されるように構成される。

【0011】特に、図2(b)に示すトレンチ17とトレンチ17との間隔を狭くして、その間に在るシリコンが容易に酸化れることができるようにする。そして、トレンチの深さは深くするが、その代わり幅は狭くして、トレンチ幅の約1/2に該当する厚さ分の多結晶シリコンの蒸着のみでトレンチが充たされるようにすることによって、工程を容易にしたことが特徴である。また、図2(a)において、インダクタ金属線の下部に配列されたトレンチはその長さがその幅より長くてインダクタの全長より長いという特徴を有する。

【0012】図4は本発明によるインダクタ装置の等価回路を示す。インダクタの2次金属線11と多結晶シリコン20との間の絶縁膜(16及び15)によるキャパシタンスをCox1で、多結晶シリコン20とシリコン

6

基板13との間の絶縁膜18によるキャパシタンスをCox2で表す。多結晶シリコンの内部で電子(Electron)と正孔(hole)の空乏層(Depletion layer)によるキャパシタンスをCpolyで、多結晶シリコンの抵抗をRpolyで、シリコン基板の抵抗値をRsiで表す。図4において、トレンチ17を充填した物質は不純物がドーピングされていない厚さ数 μm 〜数十 μm 程度の多結晶シリコン20であるため、Cpoly値は小さくなり、反面、Rpoly値は大きくなる。また、トレンチ17とトレンチ17との間のシリコンが絶縁膜に酸化されて結果的にインダクタのQ(Quality Factor)が向上する。

【0013】このように本発明の技術は、バイポーラトランジスタやMOSトランジスタなどの標準能動素子の制作ができる、抵抗値の低い基板を使用しながらも高い値のQを有するインダクタを同一チップに集積し得るため、高周波性能に優れており経済性の高いシリコンMMICの具現にもっとも適した応用技術である。

【0014】上述したシリコン基板上におけるインダクタは、シリコン基板にトレンチが形成されている状態の基板(以下、「トレンチ基板」という)と、前記トレンチ基板のトレンチ内部に多結晶シリコンを埋め込んだ領域と、前記トレンチ基板のトレンチ内部に多結晶シリコンを埋め込んだ後その上部に絶縁膜と金属線からなるインダクタ金属線部分とから構成される。

【0015】図5乃至図9は本発明に係る第1実施例のインダクタの製造方法を示す断面図である。図5はトレンチ基板を製造するためのもので、シリコン基板13上に所定の第1絶縁膜19を形成し、トレンチ17が形成されるように第1絶縁膜19及びシリコン基板13を数 μm 〜数十 μm 程度エッチングした後の前記トレンチ基板13の露出状態を示す断面図である。ここで、トレンチ17はトレンチとトレンチとの間隔がトレンチの長さより狭くなるように配列して形成し、なおトレンチの幅よりその深さが深くなるように配列して形成する。更に、インダクタ金属性の下部に配列されたトレンチの幅よりトレンチの長さが長く、前記長さが上部の第1及び第2金属線からなるインダクタの平面の長さより長くなるように配列して形成してもよい。

【0016】図6は図5に示したトレンチ17とトレンチ17との間のシリコン壁d1を全部酸化させて0.5 μm 〜2 μm 程度の厚さd2で酸化した第2絶縁膜18を形成した状態を示す断面図である。この時、トレンチ壁の両側からシリコンが酸化するため、短時間内に酸化工程を行うことができる。

【0017】図7及び図8はトレンチ基板のトレンチ内部に多結晶シリコンを埋め込むためのもので、前記トレンチ基板にあるトレンチが多結晶シリコンで全部充たされるように、不純物がドーピングされていない多結晶シリコン20を蒸着した後、化学的及び機械的研磨法(Chemical & Mechanical Polish)によって第2絶縁膜18の表

7

面まで多結晶シリコンを削り取った状態を示す断面図である。

【0018】図9はインダクタの金属線部分を製造するためのもので、前記トレンチ基板の内部に多結晶シリコン20を埋め込んだ領域上に $0.2\mu\text{m}\sim 1\mu\text{m}$ 程度の第3絶縁膜15を蒸着し、金属を $0.5\mu\text{m}\sim 1\mu\text{m}$ 程度の厚さに蒸着した後、マスクを用いたエッチングによって第1金属線12を形成する。前記第1金属線12の上部に第4絶縁膜16を $0.5\mu\text{m}\sim 2\mu\text{m}$ 程度の厚さに蒸着し、マスクを用いたエッチングによってビアホールを形成した後、金属11を $0.5\mu\text{m}\sim 5\mu\text{m}$ 程度の厚さに蒸着し、マスクを用いたエッチングによって第2金属線11を形成する。この際、第2金属線は螺旋状に形成し、金属線を3層以上に形成することができる。

【0019】図10は本発明に係る第2実施例のインダクタを示すもので、金属線の下部に配列されたトレンチが縦及び横の長さをほぼ同一にした形及び円形で構成されたことを示す平面図である。本実施例の製造方法は上述した第1実施例と同様の方法で実施される。

【0020】図11は本発明に係る第3実施例のインダクタを示すもので、インダクタ金属線の下部に配列されているトレンチがインダクタの金属線と直交する形で構成されたことを示す平面図である。本実施例の製造方法は上述した第1実施例と同様の方法で実施される。

【0021】図12は本発明に係る第4実施例のインダクタを示すもので、インダクタ金属線の下部に配列されているトレンチが長方形であることを示す平面図である。本実施例の製造方法は前述した第1実施例と同様の方法で実施される。

【0022】図13は高周波集積回路のボンディングパッド及び内部回路の高周波信号配線制作時に本発明に係るトレンチ工程を適用したことを示す平面図であり、ボンディングパッド及び高周波信号配線とシリコン基板との寄生キャパシタンスを減少させることができるため、高周波動作特性の改善と電力消費を減少することができる特徴を有し、本製造方法は上述した第1実施例と同一の方法で実施される。

【0023】このように、本発明はシリコン基板とインダクタの金属線との間に存在する寄生キャパシタンスと抵抗値とを物理的に変換させてインダクタの性能を高め、インダクタのQを改善することにより、インダクタ、キャパシタンス及び能動素子が同一チップに集積されるGHz級の生産性の高いシリコンMMICを設計及び制作することのできる装置及び製造方法を提供する。

【0024】また、本発明によってボンディングパッド及び高周波信号配線とシリコン基板との間の寄生キャパシタンスを減少させて高周波デジタル及びアナログ集積回路の動作速度の改善と電力消費を減少させることに寄与することができる。

【0025】そして、本発明は高周波バイアスで使用する

8

るボンディングパッド及び高周波信号配線の制作時に高周波動作特性を向上させるとともに、高周波動作によって電力消費を減少させることができる。

【0026】

【発明の効果】上述したように、本発明によれば、インダクタが集積される部分のみを局部的に工程上容易に基板の抵抗値を高めることによって、いわゆる集積型インダクタの具現が可能になり、能動素子としてのトランジスタと受動素子としてのインダクタが同一チップに集積されるシリコンMMIC制作が可能になる。つまり、前記のようにバイポーラトランジスタやMOSトランジスタなどの能動素子とインダクタなどの受動素子を形成することで、基板の抵抗値を異なるようにすることができる。したがって、能動素子と受動素子との集積形高周波回路を無理なく制作することができるため、シリコンMMICの特性及び経済性の改善に優れた効果を期待することができる。

【図面の簡単な説明】

【図1】図1(a)は従来のシリコン基板を用いたインダクタの平面図であり、図1(b)は従来のシリコン基板を用いたインダクタの断面図である。

【図2】図2(a)は本発明に係るシリコン基板上的インダクタの平面図であり、図2(b)は本発明に係るシリコン基板上的インダクタの断面図である。

【図3】図3は従来のシリコン基板を用いたインダクタの等価回路である。

【図4】本発明によるシリコン基板上的インダクタの等価回路である。

【図5】本発明に係る第1実施例のインダクタ製造方法の一工程を示す断面図である。

【図6】本発明に係る第1実施例のインダクタ製造方法の一工程を示す断面図である。

【図7】本発明に係る第1実施例のインダクタ製造方法の一工程を示す断面図である。

【図8】本発明に係る第1実施例のインダクタ製造方法の一工程を示す断面図である。

【図9】本発明に係る第1実施例のインダクタ製造方法の一工程を示す断面図である。

【図10】本発明に係る第2実施例のインダクタを示す平面図である。

【図11】本発明に係る第3実施例のインダクタを示す平面図である。

【図12】本発明に係る第4実施例のインダクタを示す平面図である。

【図13】本発明を用いたPad及び高周波信号配線を示す平面図である。

【符号の説明】

1及び11：2次金属

2及び12：1次金属

3及び13：半導体基板

10

20

30

40

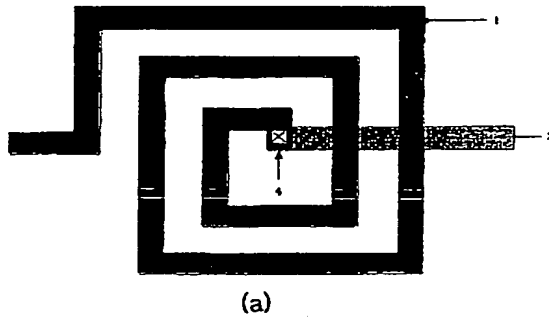
50

9
4 及び 14 : ピアホール
5 及び 19 : 第 1 絶縁膜
6 及び 18 : 第 2 絶縁膜
15 : 第 3 絶縁膜

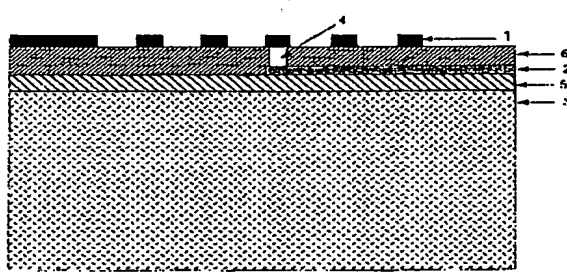
* 16 : 第 4 絶縁膜
17 : トレンチ
20 : 多結晶シリコン

10

【図 1】

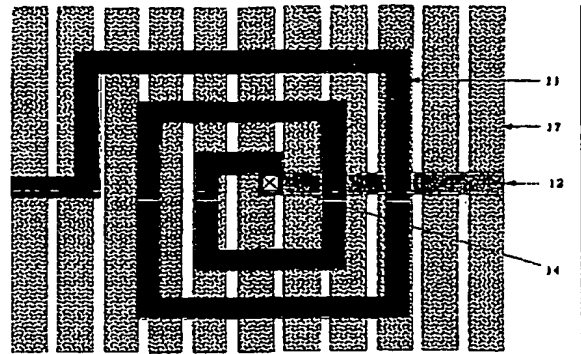


(a)

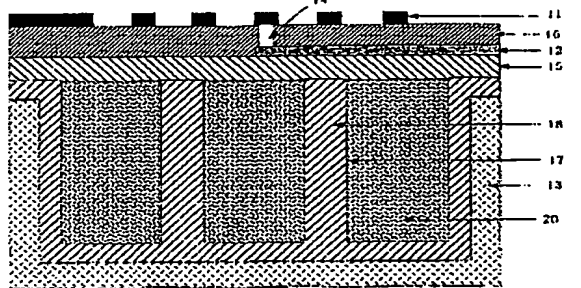


(b)

【図 2】

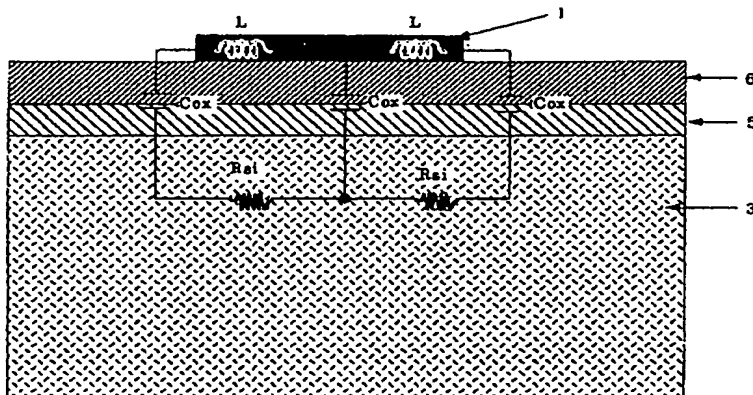


(a)

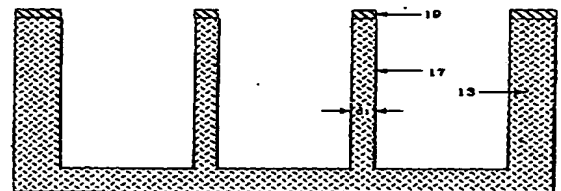


(b)

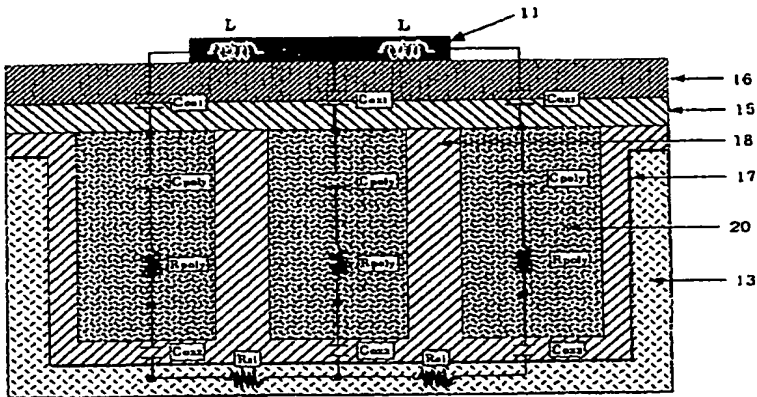
【図 3】



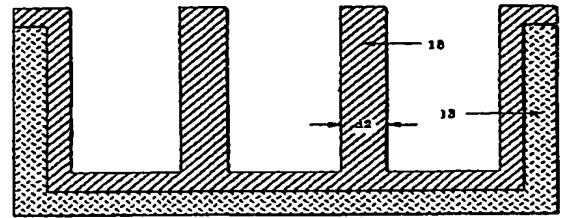
【図 5】



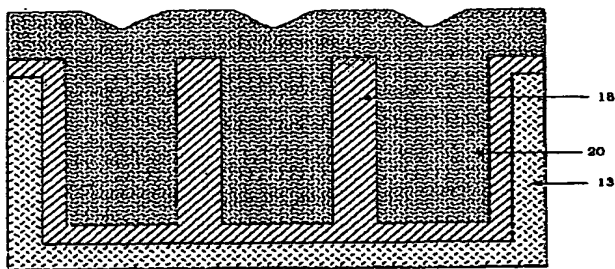
【図 4】



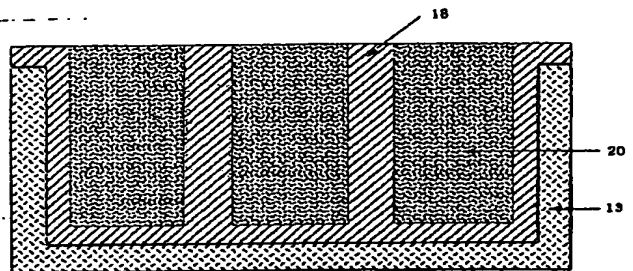
【図 6】



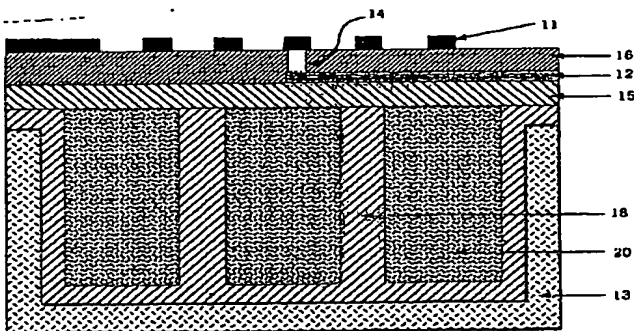
【図 7】



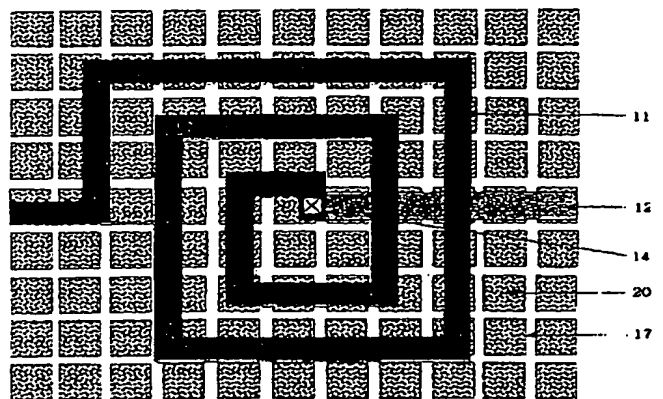
【図 8】



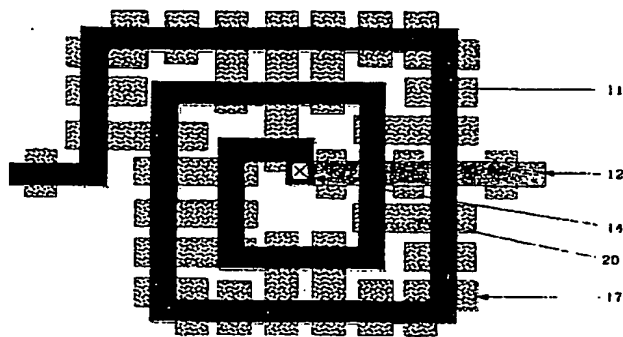
【図 9】



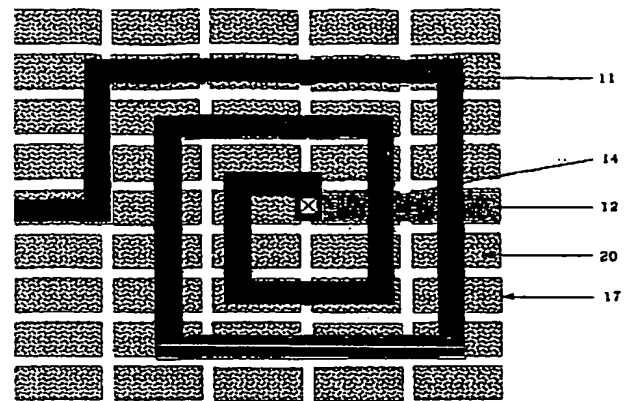
【図 10】



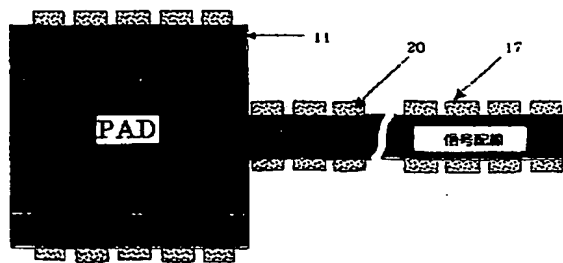
【図11】



【図12】



【図13】



フロントページの続き

(72)発明者 金 普 ▲祐▼
大韓民国大田廣域市儒城區漁恩洞99番地

(72)発明者 南 基 守
大韓民国大田廣域市儒城區漁恩洞99番地